

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-004630

(43)Date of publication of application : 08.01.2004

(51)Int.Cl. G09G 3/36

G02F 1/133

G09G 3/20

G09G 5/00

(21)Application number : 2003- (71)Applicant : SHARP CORP
076657

(22)Date of filing : 19.03.2003 (72)Inventor : YAMATO ASAH
YANAGI TOSHIHIRO

(30)Priority

Priority number : 2002100662 Priority date : 02.04.2002 Priority country : JP

(54) POWER SOURCE DEVICE FOR DISPLAY AND PICTURE DISPLAY
DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent afterimage after power off and latch-up

and to reduce the power consumption for driving.

SOLUTION: A power source device for display is provided with a boosting circuit being a voltage generation means for generating a prescribed output voltage on the basis of an input voltage and a FET-SW 14a being an active element having a switching function, and the FET-SW 14a being an active element is connected between an output terminal of a power source circuit 12 and GND (earth), and the FET-SW 14a being an active element and the boosting circuit 15 are controlled on the basis of a power off notice signal being an input control signal so that the FET-SW 14a being an active element is turned on and output of the boosting circuit 15 is stopped.

LEGAL STATUS

[Date of request for examination] 10.08.2005

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1]

1 or two or more predetermined output voltage -- an output or an output halt -- the electrical-potential-difference generation means made controllable, The power unit for a display which has the switching means which it is prepared between the outgoing end of this predetermined output voltage, and a predetermined reference potential edge, and is controlled from OFF to ON at the time of halt control of this electrical-potential-difference generation means.

[Claim 2]

The power unit for a display according to claim 1 with which it succeeds in the output or output halt control of said electrical-potential-difference generation means, and succeeds in the on-off control of said switching means based on an input-control signal.

[Claim 3]

The power unit for a display according to claim 1 or 2 with which the resistance element is prepared between said switching means and reference potential edge, or/and said outgoing end.

[Claim 4]

The power unit for a display given in any of claims 1-3 they are, The image display device which has the display controller which outputs a status signal, and the display which performs image display with this status signal and said output voltage.

[Claim 5]

Said display is the image display device of claim 4 publication with which two or more picture element sections were connected through the transistor from the gate line and the source line, respectively, and these two or more picture element sections have been arranged in the shape of a matrix, and were constituted by

the location near the intersection of this gate line and a source line, respectively.

[Claim 6]

Said display controller is said image display device according to claim 4 or 5 which outputs said input-control signal to said power unit for a display, and is made to suspend the current supply from this power unit for a display after impressing the picture element applied voltage which is 0 (V) or a predetermined electrical-potential-difference value beyond 1 level period to each picture element section and performing mask writing based on a predetermined power-source off first call.

[Claim 7]

Two or more picture element sections which perform image display are connected [by this status signal] with the display controller which outputs a status signal through a transistor from a gate line and a source line, respectively. These two or more picture element sections have the display arranged in the shape of a matrix in the location near the intersection of this gate line and a source line, respectively. This display controller The image display device which carries out halt control of the current supply to this display after impressing the picture element applied voltage which is 0 (V) or a predetermined electrical-potential-difference value beyond 1 level period to each picture element section and performing mask writing based on a predetermined power-source off first call.

[Claim 8]

The predetermined picture element applied voltage impressed to each picture element section at the time of said mask writing is an image display device according to claim 6 or 7 which is the electrical potential difference of the Nor Marie condition.

[Claim 9]

An image display device given in any of claims 6-8 which make the same each applied voltage of the common electrode which is the source electrode and counterelectrode which are a picture element electrode of each picture element section at the time of said mask writing they are.

[Claim 10]

The image display device given in any of claims 6-9 they are with which fixed period impression of the high-level electrical potential difference is carried out at the part or all the gate electrodes on said gate line while said source electrode and common electrode are grounded by ground potential before a halt of said current supply after said mask writing.

[Claim 11]

Said predetermined output voltage is an image display device according to claim 5 or 7 which it is in any among a gate low electrical potential difference, a gate high electrical potential difference, the source / common reference voltage, this gate low electrical potential difference and a gate high electrical potential difference, this source / common reference voltage, and a gate low electrical potential difference, and a gate high electrical potential difference.

[Claim 12]

Said predetermined reference potential edge is a ground connection edge. Said predetermined output voltage The 1st switching means connected to the outgoing end of this gate low electrical potential difference when a gate low electrical potential difference lower than a ground electrical potential difference and a gate high electrical potential difference higher than a ground electrical potential difference were included, The image display device according to claim 5 controlled so that the standup of this gate low electrical potential difference becomes loose compared with the 2nd switching means connected to the outgoing end of this gate high electrical potential difference in falling of this gate high electrical potential difference at the time of ON of these 1st and 2nd switching means.

[Claim 13]

Said 1st and 2nd switching means are image display devices according to claim 12 which are an active element, and are controlled so that the standup of this gate low electrical potential difference becomes loose compared with falling of this gate high electrical potential difference with the component property of this

active element.

[Claim 14]

The image display device according to claim 12 with which the resistance element is prepared between said 1st switching means and said ground connection edge, or/and the outgoing end of said gate low electrical potential difference.

[Claim 15]

The 1st resistance element prepared between said 1st switching means and said ground connection edge, or/and the outgoing end of said gate low electrical potential difference,

It has further the 2nd resistance element prepared between said 2nd switching means and said ground connection edge, or/and the outgoing end of said gate high electrical potential difference,

An image display device according to claim 12 with the larger resistance of the 1st resistance element than the resistance of the 2nd resistance element.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to image display devices, such as a power unit for a display which generates a predetermined electrical potential difference and is supplied to each part, and a liquid crystal display using it.

[0002]

[Description of the Prior Art]

Conventionally, a display panel is prepared in a liquid crystal display, the display is prepared in the display panel, and the display has two or more picture element

sections arranged in the shape of a matrix. TFT (Thin Film Transistor: thin film transistor) is prepared, a status signal is impressed between the picture element electrode of each picture element section, and a common electrode (counterelectrode), and image display is performed in each picture element section. Usually, TFT is formed of MOSFET which has a source electrode, a drain electrode, and a gate electrode, and the drain electrode of TFT is connected to the picture element electrode of the picture element section. Moreover, the source electrode of TFT is connected to the source bus line (source line) to which a status signal is outputted, and the gate electrode of TFT is connected to the gate bus line (gate line) to which TFT driver voltage is outputted.

[0003]

Drawing 8 is the block diagram showing the important section configuration of the conventional liquid crystal display.

[0004]

As shown in drawing 8, the liquid crystal display 100 has the display controller 110 as a display controller, the power circuit 120 as a power unit for a display, and the display panel 130 with display 130a.

[0005]

A display controller 110 outputs various signals, such as reception and an indicative data (status signal), for the I/O (Input/Output) signal outputted from the external system controller 200 to a display panel 130.

[0006]

From each output terminal, a power circuit 120 outputs source reference voltage to the source electrode (picture element electrode) of TFT of each picture element section in a display panel 130, outputs common reference voltage to the common electrode of the picture element section, and outputs a gate High electrical potential difference (gate high electrical potential difference) and a gate Low electrical potential difference (gate low electrical potential difference) to the gate electrode of TFT.

[0007]

Gate driver 130b to which a display panel 130 drives two or more gate lines GL, Two or more picture element sections arranged in the shape of a matrix in the location near the intersection of source driver 130c which drives two or more source lines SL, and the these gate lines GL and the source line SL, respectively It has display 130a connected through TFT (thin film transistor) from the gate line GL and the source line SL. Image display is performed by reception and gate driver 130b and source driver 130c in display 130a in various signals, such as an indicative data outputted by the display controller 110, and the above-mentioned predetermined output voltage outputted from a power circuit 120.

[0008]

Drawing 9 is the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 8.

[0009]

The picture element applied voltage, common electrical potential difference, and source electrical potential difference which are shown in drawing 9 are impressed to each picture element section. Picture element applied voltage is an electrical potential difference compounded by the difference of a source electrical potential difference and a common electrical potential difference, and turns into pulse-like alternating voltage. In order to choose each picture element section for every (eye N line; N natural number) line of a display panel 130, gate voltage is impressed with a predetermined time interval.

[0010]

Moreover, the source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference which are supplied to a display panel 130 are a fixed electrical potential difference at the time of actuation.

[0011]

Even after changing the source / common reference voltage in a power circuit 120, a gate High electrical potential difference, and a gate Low electrical potential

difference into an OFF (OFF) condition, at the liquid crystal display 100 of drawing 8 Arrow-head **1 of drawing 9 It is alike, and the charge is held at the picture element section electrode (and common electrode) which constitutes each picture element section in a display panel 130 in many cases, and this charge cannot be eliminated in a short time so that it may be shown. For this reason, there is a possibility that an after-image may remain in the image currently displayed on display 130a of a liquid crystal display 100, at the time of power-source OFF.

[0012]

The after-image produced in the display screen of display 130a of such a display panel 130 is explained using drawing 10 (a) and drawing 10 (b). As for drawing 10 (a), the after-image condition of an image that falling of each electrical potential difference immediately after changing the source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference of a power circuit 120 into an OFF (OFF) condition and image drawing of a standup condition, and drawing 10 (b) are displayed on display 130a of the display panel 130 at that time is shown.

[0013]

Since falling and the standup of the source / common reference voltage which are supplied to a display panel 130 change gently as shown in drawing 10 (a), as the charge in a picture element has not fully fallen out, for example, it is shown in drawing 10 (b), an after-image arises.

[0014]

Moreover, since it is cell actuation when a liquid crystal display 100 is used for the display of portable equipments, such as a cellular-phone machine, low-power-ization is required. For this reason, since actuation by low frequency is needed and, as for the liquid crystal display 100, the holding power of the charge of the image display sake by the status signal of each picture element section in the display panel 130 of a liquid crystal display 100 is high in this case, the above-mentioned problem of the image remainder is still more remarkable.

[0015]

Then, as it is shown in drawing 11 in order to solve such a problem of the image remainder for example, the discharge circuit which discharges an unnecessary charge is proposed.

[0016]

Although the source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference which were generated in the booster circuit 140 in a power circuit 120 are outputted to a display panel 130 from a power circuit 120 as each output voltage in the discharge circuit of drawing 11 , the discharge resistance R and Capacitor C are connected to output wiring connected between the output terminal and input terminal of a display panel 130 between GND (ground) at juxtaposition. A booster circuit 140 generates the source / common reference voltage, a predetermined gate High electrical potential difference, or a predetermined gate Low electrical potential difference based on the input voltage from the outside, respectively.

[0017]

This discharge circuit (the discharge resistance R and parallel circuit of Capacitor C) discharges the unnecessary charge with which a power circuit 120 remains in each picture element section in a display panel 130 also when the source / common reference voltage, a gate High electrical potential difference, and a gate Low electrical potential difference are turned off to GND (ground). The image remainder on the display screen is canceled by this.

[0018]

Moreover, as shown in the patent reference 1 at drawing 13 , in order to prevent the abnormalities in a display arising when the electrical-potential-difference wave impressed to display-panel LCD at the time of power-source OFF falls gradually, before the electrical potential difference of a power-source line descends, the liquid crystal actuation circuit in which the circuit 200 which extinguishes the applied voltage to display-panel LCD was established is indicated. DC power supply DC are connected to the power supply terminal A of

the liquid crystal driver DR through Diode D and an electric power switch SW, and, as for this liquid crystal actuation circuit, Capacitor C is connected with the power supply terminal A of the liquid crystal driver DR between Grounds GND. Although the power supply terminal A of the liquid crystal driver DR is in a voltage drop by discharge from Capacitor C when an electric power switch SW is opened and connection between DC power supply DC and the liquid crystal driver DR is intercepted, this is prevented by Diode D and the current from Capacitor C does not flow into signal terminal A'. For this reason, the signal level of signal terminal A' descends ahead of the electrical potential difference of a power supply terminal A. Before the electrical potential difference of the power-source line connected to the power supply terminal A of the liquid crystal driver DR descends by this, the applied voltage to display-panel LCD is set to 0V.

[0019]

Moreover, the liquid crystal display had the scan continuation circuit which a scan electrode actuation circuit is operated and is continued in the scan of a scan pulse is indicated until a scan pulse voltage falls to below the activation display threshold electrical potential difference of a liquid crystal layer after suspending the output of supply voltage of operation in order to suppress in it the linear display defect in which it appears on a screen, when an electric power switch is turned off or turned on in the patent reference 2. Thus, also after stopping an operating voltage power source, by continuing scanning a scan pulse, the direct-current-voltage component which fell more can remain, and the phenomenon in which a linear display appears can be prevented.

[0020]

[Patent reference 1]

JP,61-162029,A

[0021]

[Patent reference 2]

JP,6-160806,A

[0022]

[Problem(s) to be Solved by the Invention]

If the resistance of the discharge resistance R tends to be set up low and it is going to perform falling of a power source steeply so that the unnecessary charge which remains in each picture element section in a display panel 130 may be made to discharge sufficiently quickly to GND (ground) with the conventional configuration shown in above-mentioned drawing 11 For this discharge resistance R, an about 0.1mA current will always flow at the time of actuation, the power consumption of the liquid crystal display 100 whole will increase about 1.0mW, and low-power-ization is checked. Thus, when falling of a power source was performed steeply and it was going to cancel the image remainder on the display screen, it had the problem that power consumption will cause an increment. When the resistance of the discharge resistance R is made comparatively high from a viewpoint of power consumption, moreover, arrow-head **2 of drawing 12 It is alike, and since falling and the standup of a power source are loose, the charge in a picture element has not fully fallen out, and it is easy to generate the problem of the charge remainder, so that it may be shown.

[0023]

Moreover, the driver IC for liquid crystal actuation prepared in the display panel 130 depending on the discharge conditions of each picture element section may be destroyed by latch rise etc. Just this was insufficient although there was also the approach of inserting diode in the output stage of the driver IC for liquid crystal actuation as a cure to this latch rise etc. That is, when bringing down a main power supply, the electrical potential difference became instability, and it had the problem of destroying the actuation driver of a display.

[0024]

Furthermore, the effect by the cloth talk will appear in each picture element section at the time of the discharge from output wiring only by making the unnecessary charge which remains in each picture element section in a display panel 130 by the discharge circuit shown in drawing 11 discharge to GND (ground). Although the unnecessary charge which remains to a picture element

electrode side by sensing the OFF state (drop) of a main power supply, and impressing a High electrical potential difference to the gate electrode of TFT of the picture element section to the problem of this cloth talk was made to discharge to GND (ground), arrow-head **3 of drawing 12 That it is alike, and the discharge from this picture element electrode side is dependent on the final state (display image) of the display in front of power-source OFF so that it may be shown, and arrow-head **4 of drawing 12 It is alike, and since the High electrical-potential-difference period is unfixed, the conducting period (charge omission period) from the picture element section cannot be adjusted by power-source OFF, so that it may be shown. For this reason, arrow-head **1 of drawing 9 It comes out and there is a problem of being easy to generate the charge remainder, like the shown part.

[0025]

Namely, it sets at the time of discharge of the residual charge of the picture element section as shown in the timing chart (drawing 12) of each signal level impressed to the display panel 130 of drawing 11 . While falling and the start by the side of plus (+) of picture element applied voltage and minus (-) are dependent on the final state of the image display in front of power-source OFF Since the period which impresses a High electrical potential difference to the gate electrode of TFT is not fixed (High period indeterminate), the conducting period of the residual charge of the picture element section cannot be adjusted, and the image remainder has not been solved thoroughly. That is, in the display screen, a picture element charge did not fall out to homogeneity, but it had the problem that the image remainder happens, and the problem that an adverse effect (cloth talk) will appear in a display because an electrical potential difference falls quickly since parasitic capacitance exists between each picture element section and a power circuit 120.

[0026]

furthermore, with the small liquid crystal display (small liquid crystal module) used for small personal digital assistants, such as the present cellular-phone

machine, it awaited at the time of output OFF (a call -- waiting), and also in the condition, since a main power supply was an ON state, it had a possibility that analog voltage may be impressed to a source bus line, and had the problem that the dependability of a liquid crystal display fell.

[0027]

Moreover, by the above-mentioned patent reference 1 and 2, although the abnormalities in a display produced at the time of power-source OFF are prevented, each problem explained above is not solved. That is, as shown in drawing 14, in picture element section applied voltage, discharge is dependent on the display image in front of power-source OFF, a charge omission period (High period) is unfixed, and with the risk of a latch rise, since power-source falling is loose, it is easy to generate the charge remainder of the picture element section, and an after-image is displayed in power-source OFF.

[0028]

This invention solves the above-mentioned conventional problem, realizes low-power-ization at the time of actuation, and it aims at offering the power unit for a display which can aim at improvement in dependability of a display, and the image display device using it while it prevents the after-image after power-source OFF, and a latch rise.

[0029]

[Means for Solving the Problem]

the output voltage of 1 or plurality predetermined in the power unit for a display of this invention -- an output or an output halt -- it consists of an electrical-potential-difference generation means made controllable and a switching means established between the outgoing end of this predetermined output voltage, and the predetermined reference potential edge, and controls from OFF to ON at the time of halt control of this electrical-potential-difference generation means, and the above-mentioned object is attained by that. Moreover, in the power unit for a display which has an electrical-potential-difference generation means to generate predetermined output voltage, an active element is prepared at least between the

outgoing ends and the ground connection edges which output output voltage, based on an input-control signal, the power unit for a display of this invention carries out halt control of the output by the electrical-potential-difference generation means while ON control of the active element is carried out, and the above-mentioned object is attained by that.

[0030]

Moreover, preferably, in the power unit for a display of this invention, based on an input-control signal, it succeeds in the output or output halt control of said electrical-potential-difference generation means, and succeeds in the on-off control of said switching means. Moreover, the resistance element is preferably prepared between the switching means in the power unit for a display of this invention, the reference potential edge, or/and said outgoing end.

[0031]

The image display device of this invention has the power unit for a display given in any of claims 1-3 they are, the display controller which outputs a status signal, and the display which performs image display with this status signal and said output voltage, and the above-mentioned object is attained by that. Moreover, preferably, two or more picture element sections are connected through a transistor from a gate line and a source line, respectively, these two or more picture element sections are arranged in the shape of a matrix in the location near the intersection of this gate line and a source line, respectively, and the display in the image display device of this invention is constituted.

[0032]

Moreover, preferably, based on a predetermined power-source off first call, after the display controller in the image display device of this invention impresses the picture element applied voltage which is 0 (V) or a predetermined electrical-potential-difference value beyond 1 level period to each picture element section and performs mask writing, it outputs said input-control signal to said power unit for a display, and stops the current supply from this power unit for a display.

[0033]

The display controller by which the image display device of this invention outputs a status signal, Two or more picture element sections which perform image display are connected [by this status signal] through a transistor from a gate line and a source line, respectively. These two or more picture element sections have the display arranged in the shape of a matrix in the location near the intersection of this gate line and a source line, respectively. This display controller After impressing the picture element applied voltage which is 0 (V) or a predetermined electrical-potential-difference value beyond 1 level period to each picture element section and performing mask writing based on a predetermined power-source off first call, halt control of the current supply is carried out to this display, and the above-mentioned object is attained by that.

[0034]

Moreover, the predetermined picture element applied voltage impressed to each picture element section at the time of the mask writing in the image display device of this invention is an electrical potential difference of the Nor Marie condition preferably. Moreover, each applied voltage of the common electrode which is the source electrode and counterelectrode which are a picture element electrode of each picture element section is preferably made the same at the time of the mask writing in the image display device of this invention.

Furthermore, preferably, in the image display device of this invention, while said source electrode and common electrode are grounded by ground potential before a halt of said current supply after mask writing, fixed period impression of the high-level electrical potential difference is carried out at the part or all the gate electrodes on said gate line.

[0035]

Moreover, the predetermined output voltage in the image display device of this invention is in any preferably among a gate low electrical potential difference, a gate high electrical potential difference, the source / common reference voltage, this gate low electrical potential difference and a gate high electrical potential difference, this source / common reference voltage, and a gate low electrical

potential difference, and a gate high electrical potential difference.

[0036]

Moreover, the predetermined reference potential edge in the image display device of this invention is a ground connection edge preferably. The 1st switching means connected to the outgoing end of this gate low electrical potential difference when said predetermined output voltage contained a gate low electrical potential difference lower than a ground electrical potential difference and a gate high electrical potential difference higher than a ground electrical potential difference, It is controlled so that the standup of this gate low electrical potential difference becomes loose compared with the 2nd switching means connected to the outgoing end of this gate high electrical potential difference in falling of this gate high electrical potential difference at the time of ON of these 1st and 2nd switching means. Moreover, preferably, the 1st and 2nd switching means of an account in the image display device of this invention are active elements, and they are controlled so that the standup of this gate low electrical potential difference becomes loose compared with falling of this gate high electrical potential difference with the component property of this active element. Furthermore, the resistance element is preferably prepared between the 1st switching means in the image display device of this invention, said ground connection edge, or/and the outgoing end of said gate low electrical potential difference. Furthermore, it has further preferably the 1st resistance element prepared between the 1st switching means in the image display device of this invention, said ground connection edge, or/and the outgoing end of said gate low electrical potential difference, and the 2nd resistance element prepared between said 2nd switching means and said ground connection edge, or/and the outgoing end of said gate high electrical potential difference, and the resistance of the 1st resistance element is larger than the resistance of the 2nd resistance element.

[0037]

The above-mentioned configuration explains the operation hereafter.

[0038]

Since the active element as a switching means is an OFF state and leakage current does not flow regularly to the ground connection edge as a reference potential edge at the time of power-source actuation, as for the power unit for a display of this invention, low-power-ization is realized.

[0039]

Moreover, at the time of power-source OFF, maintaining a low power, since an active element constitutes a discharge circuit from an ON state, ***** can do supply voltage steeply, the charge which remained in the picture element section can be discharged, and after-image generating can be prevented. And since the discharge resistance connected with the active element or the active element at the serial at this time works also as a current control means, a latch rise may also be prevented.

[0040]

Furthermore, since the power-outlet edge is grounded, at the time of power-source OFF, there is no possibility that analog voltage may be impressed to a source bus line like before, and improvement in dependability of a display can be aimed at at it.

[0041]

Moreover, when performing mask writing, if the predetermined picture element applied voltage impressed to each picture element section at the time of mask writing is a fixed low battery of the Nor Marie condition (Nor Marie White or Nor Marie Black), it will become possible [canceling the image remainder more easily]. Moreover, if high period control of gate voltage is performed after mask writing, it will become possible to be more fully able to discharge the charge which remains in the picture element section, and to cancel the image remainder.

[0042]

[Embodiment of the Invention]

Hereafter, the operation gestalten 1 and 2 and the operation gestalt 3 are explained about the case where the power unit for a display of this invention is applied to a liquid crystal display, referring to a drawing.

(Operation gestalt 1)

Drawing 1 is the block diagram showing the important section configuration in the operation gestalt 1 of the liquid crystal display of this invention.

[0043]

In drawing 1 , the liquid crystal display 10 has the display controller 11 as a display controller, the power circuit 12 as a power unit for a display, and the display panel 13 with display 13a.

[0044]

A display controller 11 outputs the power-source OFF (OFF) advance notice signal as an input-control signal to a power circuit 12 while outputting various signals, such as reception and an indicative data, for an I/O (Input/Output) signal, a power-source OFF (OFF) first call, etc. which are outputted from the external system controller 20 to a display panel 13.

[0045]

The power circuit 12 has the discharge circuit 14 which consists a power-source OFF (OFF) advance notice signal etc. of FET-SW (switching means which consists of FET transistor) 14a turned off from an ON state, and resistance 14b connected to it at the serial based on reception and its power-source OFF advance notice signal from the display controller 11. In addition, although resistance 14b is prepared here between the ground connection edges as FET-SW14a and a reference potential end connection, resistance 14b may be prepared between the voltage-output edges of FET-SW14a and a power circuit, and may be prepared in both.

[0046]

FET-SW14a and resistance 14b are connected between each output terminal of a power circuit 12, and GND (ground edge). A power circuit 12 outputs a gate High electrical potential difference (gate high electrical potential difference) and a gate Low electrical potential difference (gate low electrical potential difference) to each gate electrode of TFT for every gate line GL while outputting source reference voltage and common reference voltage (source, common reference

voltage) from each of that output terminal to TFT and the common electrode of each picture element section in a display panel 13, respectively.

[0047]

Gate driver 13b to which a display panel 13 drives two or more gate lines GL, Two or more picture element sections arranged in the shape of a matrix in the location near the intersection (rectangular section) of source driver 13c which drives two or more source lines SL, and the two or more gate lines GL and the source line SL, respectively It has display 13a connected through TFT (thin film transistor) from the gate line GL and the source line SL. various signals for a display, such as an indicative data outputted by the display controller 11, -- and Image display is performed by reception and gate driver 13b and source driver 13c in display 13a in the above-mentioned predetermined output voltage (the source / common reference voltage, a gate High electrical potential difference, and gate Low electrical potential difference) outputted from a power circuit 12.

[0048]

Drawing 2 is drawing showing the operating state of FET-SW14a of drawing 1 .

[0049]

As shown in drawing 2 , FET-SW14a will be in an OFF state, if it will be turned on if the power-source OFF advance notice signal of an active state (High level) is inputted from a display controller 11, and a power-source OFF advance notice signal is set to Low level. Therefore, FET-SW14a will perform ON / off actuation based on a power-source OFF advance notice signal, will be in an OFF state at the time of actuation of a liquid crystal display 10, and will be in an ON state at the time of a halt of a liquid crystal display 10.

[0050]

Drawing 3 is the circuit diagram showing the important section configuration of the power circuit 12 of drawing 1 .

[0051]

As shown in drawing 3 , the power circuit 12 has the discharge circuit 14 (although you may consist of only FET-SW14a, resistance 14b shall be included

here) which consists of FET-SW14a and resistance 14b, and the booster circuit 15 (or a booster circuit explains by the pressure-lowering circuit and here) as an electrical-potential-difference generation means. In addition, Capacitor C is connected to the circuit 14 and juxtaposition which consist of FET-SW14a and resistance 14b between output wiring and GND (ground edge) from a power circuit 12.

[0052]

As for the discharge circuit 14 which consists of FET-SW14a and resistance 14b, for example, the drain terminal and the source terminal are connected between the output terminal of a booster circuit 15, and GND (ground edge), respectively. The power-source OFF advance notice signal as an input-control signal is inputted into the gate terminal of FET-SW14a. Therefore, when FET-SW14a is an ON state or an OFF state, the booster circuit 15 is turned on [an OFF state or] reversely [the]. In addition, adjustment of the resistance of resistance 14b can adjust discharge speed.

[0053]

A booster circuit 15 generates predetermined electrical potential differences, such as the source / common reference voltage outputted to each output terminal of a power circuit 12, respectively, a gate High electrical potential difference, and a gate Low electrical potential difference, based on the input voltage from the outside. A booster circuit 15 will be turned on if it will be in an OFF state if the power-source OFF advance notice signal of an active state (High level) is inputted, and a power-source OFF advance notice signal is set to Low level.

[0054]

The charge currently held at each picture element section electrode and common electrode of each picture element section in a display panel 13 to drawing 6 by using FET-SW14a, after each output voltage to the display panel 13 in a liquid crystal display 10 is made an OFF state by the above by the power circuit 12 as a power unit for a display of this invention Arrow-head **5 It comes out, and picture element applied voltage can be made to be able to discharge in a short

time, and the image remainder at the time of power-source OFF can be canceled so that it may be shown. Since the resistance of resistance 14b established between the source terminal of FET-SW14a and GND (ground) can adjust the charging time value of residual charge to the time amount of arbitration, it can make the charge which remains in the picture element section able to discharge enough, and can cancel the image remainder at the time of power-source OFF.

[0055]

The condition that this image remainder is solved is explained using drawing 4 (a) and drawing 4 (b). As for drawing 4 (a), the after-image of the image with which falling of each electrical potential difference immediately after making the source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference of a power circuit 12 into an OFF state and the image of a standup condition, and drawing 4 (b) are displayed on the display panel 13 at that time is shown.

[0056]

As shown in drawing 4 (a), since falling changes steeply and residual charge is discharged or charged promptly, as shown in drawing 4 (b), the image remainder does not produce at all the source / common reference voltage supplied in a display panel 13.

[0057]

Falling or the standup of a gate High electrical potential difference and a gate Low electrical potential difference to drawing 6 by using FET-SW14a here Arrow-head **6 It came out, and the start of a gate Low electrical potential difference is set up so that it may become somewhat loose compared with falling of a gate High electrical potential difference, so that it may be shown. In addition, in order to realize this, the current characteristic (component property of an active element) of FET (field-effect transistor) of FET-SW14a itself may be used, the electrical-potential-difference value (power-source OFF advance notice signal) inputted into the gate is changed, and it may be made for FET itself to have resistance, and you may constitute so that two large and small resistance may be

prepared and each may be chosen by two FET. Here, a lot of [rapidly] currents cannot flow now easily due to the current characteristic of FET of FET-SW14a itself [each].

[0058]

If it does in this way, by distinguishing falling or the standup of a gate High electrical potential difference or a gate Low electrical potential difference as mentioned above, and setting it up using FET-SW14a, it can prevent that a liquid crystal actuation driver IC will be in abnormal conditions, such as a latch rise, and a liquid crystal actuation driver IC will be protected.

[0059]

Drawing 5 (a) and drawing 5 (b) are drawings showing falling and the standup condition of a gate High electrical potential difference and a gate Low electrical potential difference, respectively, drawing 5 (a) is drawing at the time of using FET-SW14a and resistance 14b of this invention (those with a sequence), and drawing 5 (b) is drawing at the time of driving FET-SW14a simply (with no sequence).

[0060]

Since the start of a gate Low electrical potential difference was not able to be set to the case (with no sequence) of having driven FET-SW14a of a switch simply so that it may become somewhat loose compared with falling of a gate High electrical potential difference as shown in drawing 5 (b), the abnormal condition by latch rise etc. had arisen in the liquid crystal actuation driver IC.

[0061]

Moreover, since a liquid crystal display 10 can prevent the steady leakage current which flows through Resistance R by FET-SW14a being an OFF state, while it realizes low-power-ization at the time of actuation, the power circuit 12 of this invention can discharge enough the residual charge at the time of power-source OFF, and can cancel the image remainder.

[0062]

Drawing 6 is the timing chart of each signal level impressed to the display panel

13 of drawing 1 .

[0063]

The picture element applied voltage, common electrical potential difference, and source electrical potential difference which are shown in drawing 6 are impressed to each picture element section. Picture element section applied voltage is an electrical potential difference compounded by the difference of a source electrical potential difference and a common electrical potential difference, and turns into pulse-like alternating voltage. In order to choose each picture element section for every line of a display panel 13, gate voltage is impressed with a predetermined time interval.

[0064]

The source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference which are inputted into a display panel 13 from a power circuit 12 are a fixed electrical potential difference at the time of actuation, as shown in drawing 6 .

[0065]

It does not leave the after-image of an image to the display panel 13 of an OFF state by making FET-SW14a into an ON state by the above, if a liquid crystal display 10 receives the power-source OFF advance notice signal with which a power circuit 12 makes an OFF state the source / common reference voltage, a gate High electrical potential difference, and a gate Low electrical potential difference as shown in drawing 4 , and making the charge currently held at each picture element section electrode and common electrode of each picture element section in a display panel 13 discharge to a ground side promptly.

(Operation gestalt 2)

It is the case (mask writing) where the fixed electrical potential difference of 0 (V) or arbitration is impressed to each picture element section in a display panel 13 as picture element applied voltage with this operation gestalt 2 based on the power-source OFF first call outputted from a system controller 20.

[0066]

In the operation gestalt 2 of the liquid crystal display of this invention, drawing 7 is the timing chart of each signal level impressed to the display panel, when impressing the fixed electrical potential difference of 0 (V) or arbitration to each picture element section in a display panel 13 as picture element applied voltage (mask writing). In addition, the block diagram showing the important section configuration in the operation gestalt 2 of liquid crystal display 10A of this invention in drawing 15 is shown, and the same sign is given to the member which does so the same operation effectiveness as drawing 1 .

[0067]

First, as shown in drawing 7 , based on the power-source OFF first call outputted to display controller 11A from system controller 20A, the fixed electrical potential difference of 0 (V) or arbitration is impressed to each picture element section in a display panel 13 as picture element applied voltage (mask writing), and picture element applied voltage turns into a fixed electrical potential difference of the Nor Marie condition (Nor Marie White or Nor Marie Black). In this case, the time amount which the charge which each picture element section holds is equalized mostly, and performs mask writing should just be for example, beyond a 1 level period. If mask write-in time amount is under a 1 level period, there is a possibility that the liquid crystal of each picture element section may not answer.

[0068]

Moreover, since it is necessary to perform mask writing on the whole screen, by actuation, the time amount beyond 1 vertical period is usually taken, but if it is 1 level period at least since mask writing can be performed on all lines at once when all gate electrodes are set to High (it is a selection condition about all gate lines), it can write in enough.

[0069]

By establishing a mask write-in period, to drawing 7 , thus, arrow-head **7 It will come out, and falling and the standup by the side of plus (+) of picture element applied voltage and minus (-) will not be dependent on the final state of the image display in front of power-source OFF at the time of discharge of the

residual charge of the picture element section after power-source off [in a display panel 13] so that it may be shown.

[0070]

Next, a gate High electrical potential difference is impressed to the gate electrode of the gate line of all in a display panel 13 (or part), and a common electrode and a source electrode are grounded in the meantime. Thereby, the charge currently held at the picture element electrode and common electrode of each picture element section of a display panel 13 discharges.

[0071]

The charging time value of residual charge to drawing 7 Arrow-head **8 Since it can come out, and it can adjust to the time amount of arbitration by controlling the period which impresses a high-level electrical potential difference to a gate electrode after mask writing (digital control) so that it may be shown, the charge which remains in the picture element section can be discharged enough, and the image remainder can be canceled.

[0072]

Furthermore, based on the power-source OFF advance notice signal outputted by the display controller 11, the booster circuit 15 in a power circuit 12 will be in an OFF state, the source / common reference voltage, a gate High electrical potential difference, and a gate Low electrical potential difference are made into an OFF state, and FET-SW14a is turned on. The discharge process using FET-SW14a of a power circuit 12 is started by this, and the output voltage (gate High electrical potential difference) of each gate line descends to GND (ground) potential by it. therefore, it awaits at the time of the output OFF (a call -- waiting) in a cellular-phone machine etc., and even when a main power supply is an ON state in a condition, there is no possibility that analog voltage may be impressed to a source bus line like before, and improvement in the dependability of a liquid crystal display is achieved.

[0073]

As mentioned above, it is further effective from the case where the direction of

the discharge of the residual charge in each picture element section of a display panel 13 based on the power-source OFF first call and power-source OFF advance notice signal which were shown in drawing 7 is based only on a power-source OFF advance notice signal.

[0074]

Moreover, if the sequence is given to discharge and charge of a gate power source as shown also in drawing 17 , there will be no risk of a latch rise. In addition, as for a sequence, it is optimal to bring a gate low power source to GND potential (ground potential) later than a gate high power source. Moreover, maintaining a super-low power, ***** can do a power source steeply and the charge remainder can be canceled.

(Operation gestalt 3)

It is the case where discharge enough the charge which remains in the picture element section by mask writing and High period control of gate voltage like the above-mentioned operation gestalt 2 with this operation gestalt 3, and the image remainder is canceled, and is the case where a resistance element (resistance element of the conventional example) is used instead of FET-SW14a of the above-mentioned operation gestalten 1 and 2. In addition, the block diagram showing the important section configuration in the operation gestalt 3 of liquid crystal display 10B of this invention in drawing 16 is shown, and the same sign is given to the member which does so the same operation effectiveness as drawing 1 .

[0075]

After display controller 11B as a display controller impresses the picture element applied voltage which is 0 (V) or a predetermined electrical-potential-difference value beyond 1 level period to each picture element section and performs mask writing based on the predetermined power-source OFF (OFF) first call of system controller 20B, it carries out halt control of the current supply from power circuit 12B to power indication section 13a based on an OFF (OFF) advance notice signal. In this case, the predetermined picture element applied voltage impressed

to each picture element section at the time of mask writing is a fixed electrical potential difference of the Nor Marie condition (Nor Marie White or Nor Marie Black). Moreover, each applied voltage of the common electrode which is the source electrode and counterelectrode which are a picture element electrode of each picture element section is made the same like the above-mentioned operation gestalt 2 at the time of mask writing. Moreover, like the above-mentioned operation gestalt 2, after mask writing, while a source electrode and a common electrode are grounded before halt control of current supply, fixed period (High period) impression of the high-level electrical potential difference is carried out at the gate electrode on [all] the gate line GL.

[0076]

Since digital control of the charge omission period (High period) is carried out and it can be set as the time amount of arbitration with the above-mentioned operation gestalten 2 and 3 by the above as shown in drawing 17 (with [in the above-mentioned operation gestalt 2 / in those with a sequence, and the above-mentioned operation gestalt 3] no sequence), the charge remainder of the picture element section is cancelable. In this case, since the mask write-in period is established, it is not dependent on the last display image, and a charge can be uniformly discharged on the whole screen. In addition, as for a mask, it is optimal at the time of no MARI White mode to write in with the liquid crystal applied voltage below a black display at the time of the liquid crystal applied voltage below a white display and NOMA reeve rack mode.

[0077]

In this case, maintaining a super-low power like the above-mentioned operation gestalten 1 and 2, since a resistance element (resistance element of the conventional example) is used instead of FET-SW14a of the above-mentioned operation gestalten 1 and 2, ***** and the charge which remains in the picture element section by High period control of gate voltage after mask writing even if it cannot rise can be steeply discharged enough in a power source, and the image remainder can be canceled. The resistance of the resistance element for

discharge or charge used at this time will not check low electrification compared with the conventional example, if it is made into the resistance of the resistance element shown in the conventional example more than an EQC.

[0078]

In addition, also when carrying out power-source OFF after mask writing, if the predetermined picture element applied voltage impressed to each picture element section at the time of mask writing is a fixed low battery of the Nor Marie condition (Nor Marie White or Nor Marie Black), the image remainder may be canceled easily.

[0079]

[Effect of the Invention]

While aiming at the after-image after power-source off, and prevention of a latch rise by the active element of a switching means being connected at least between a voltage-output terminal and a ground edge by the above according to this invention, and performing actuation from which an active element is turned on and a voltage output is turned off by it, low-power-ization at the time of actuation is realizable.

[0080]

Moreover, when performing mask writing, if the predetermined picture element applied voltage impressed to each picture element section at the time of mask writing is a fixed low battery of the Nor Marie condition (Nor Marie White or Nor Marie Black), it can cancel the image remainder more easily. Moreover, if high period control of gate voltage is performed after mask writing, the charge which remains in the picture element section can more fully be discharged, and the image remainder can be canceled.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the important section configuration in the operation gestalt 1 of the liquid crystal display of this invention.

[Drawing 2] It is drawing showing the operating state of FET-SW of drawing 1 .

[Drawing 3] It is the circuit diagram showing the important section configuration of

the power circuit of drawing 1 .

[Drawing 4] It is drawing in which the source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference by which (a) is supplied to the display panel of drawing 1 show the after-image of the image with which image drawing of the falling condition of each electrical potential difference immediately after being made an OFF state and (b) are displayed on the display panel at that time.

[Drawing 5] Drawing showing falling and the standup condition of the source / common reference voltage supplied to a display panel when FET-SW of drawing 1 and resistance are used for (a), a gate High electrical potential difference, and a gate Low electrical potential difference, and (b) are drawings showing falling and the standup condition of the source / common reference voltage supplied to the display panel at the time of driving FET-SW simply, a gate High electrical potential difference, and a gate Low electrical potential difference.

[Drawing 6] It is the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 1 .

[Drawing 7] In the operation gestalt 2 of the liquid crystal display of this invention, when impressing the fixed electrical potential difference of 0 (V) or arbitration to each picture element section in a display panel as picture element section applied voltage (mask writing), it is the timing chart of each signal level impressed to the display panel.

[Drawing 8] It is the block diagram showing the important section configuration of the conventional liquid crystal display.

[Drawing 9] It is the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 8 .

[Drawing 10] It is drawing showing the after-image of the image with which (a) is displayed on the enlarged drawing of the falling condition of the picture element section applied voltage of each picture element section of the display panel of the conventional liquid crystal display, and (b) is displayed on the display panel at that time.

[Drawing 11] It is the block diagram showing another example of the important section configuration of the conventional liquid crystal display.

[Drawing 12] It is the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 11 .

[Drawing 13] It is the circuit diagram showing the important section configuration of the patent reference 1.

[Drawing 14] It is a timing chart at the time of assuming each signal level impressed to the display panel of the patent reference 1 and 2.

[Drawing 15] It is the block diagram showing the important section configuration in the operation gestalt 2 of the liquid crystal display of this invention.

[Drawing 16] It is the block diagram showing the important section configuration in the operation gestalt 3 of the liquid crystal display of this invention.

[Drawing 17] It is a timing chart for explaining the effectiveness of the operation gestalt 3 of the liquid crystal display of drawing 16 using an example of the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 15 .

[Description of Notations]

10, 10A, 10B Liquid crystal display

11, 11A, 11B Display controller (display controller)

12 12B Power circuit (power unit for a display)

13 Display Panel

13a Display

14 Discharge Circuit

14a FET-SW (switching means)

14b and 14B Resistance

15 Booster Circuit (Electrical-Potential-Difference Generation Means)

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the important section configuration in the operation gestalt 1 of the liquid crystal display of this invention.

[Drawing 2] It is drawing showing the operating state of FET-SW of drawing 1 .

[Drawing 3] It is the circuit diagram showing the important section configuration of the power circuit of drawing 1 .

[Drawing 4] It is drawing in which the source / common reference voltage, gate High electrical potential difference, and gate Low electrical potential difference by which (a) is supplied to the display panel of drawing 1 show the after-image of the image with which image drawing of the falling condition of each electrical potential difference immediately after being made an OFF state and (b) are displayed on the display panel at that time.

[Drawing 5] Drawing showing falling and the standup condition of the source / common reference voltage supplied to a display panel when FET-SW of drawing 1 and resistance are used for (a), a gate High electrical potential difference, and a gate Low electrical potential difference, and (b) are drawings showing falling and the standup condition of the source / common reference voltage supplied to the display panel at the time of driving FET-SW simply, a gate High electrical potential difference, and a gate Low electrical potential difference.

[Drawing 6] It is the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 1 .

[Drawing 7] In the operation gestalt 2 of the liquid crystal display of this invention, when impressing the fixed electrical potential difference of 0 (V) or arbitration to each picture element section in a display panel as picture element section applied voltage (mask writing), it is the timing chart of each signal level impressed to the display panel.

[Drawing 8] It is the block diagram showing the important section configuration of the conventional liquid crystal display.

[Drawing 9] It is the timing chart of each signal level impressed to the display

panel of the liquid crystal display of drawing 8 .

[Drawing 10] It is drawing showing the after-image of the image with which (a) is displayed on the enlarged drawing of the falling condition of the picture element section applied voltage of each picture element section of the display panel of the conventional liquid crystal display, and (b) is displayed on the display panel at that time.

[Drawing 11] It is the block diagram showing another example of the important section configuration of the conventional liquid crystal display.

[Drawing 12] It is the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 11 .

[Drawing 13] It is the circuit diagram showing the important section configuration of the patent reference 1.

[Drawing 14] It is a timing chart at the time of assuming each signal level impressed to the display panel of the patent reference 1 and 2.

[Drawing 15] It is the block diagram showing the important section configuration in the operation gestalt 2 of the liquid crystal display of this invention.

[Drawing 16] It is the block diagram showing the important section configuration in the operation gestalt 3 of the liquid crystal display of this invention.

[Drawing 17] It is a timing chart for explaining the effectiveness of the operation gestalt 3 of the liquid crystal display of drawing 16 using an example of the timing chart of each signal level impressed to the display panel of the liquid crystal display of drawing 15 .

[Description of Notations]

10, 10A, 10B Liquid crystal display

11, 11A, 11B Display controller (display controller)

12 12B Power circuit (power unit for a display)

13 Display Panel

13a Display

14 Discharge Circuit

14a FET-SW

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4630

(P2004-4630A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 520	5C006
G09G 3/20	G09G 3/20 611A	5C080
G09G 5/00	G09G 3/20 612G	5C082
	G09G 3/20 642A	
審査請求 未請求 請求項の数 15 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2003-76657 (P2003-76657)
 (22) 出願日 平成15年3月19日 (2003.3.19)
 (31) 優先権主張番号 特願2002-100662 (P2002-100662)
 (32) 優先日 平成14年4月2日 (2002.4.2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100107489
 弁理士 大垣 竹志
 (72) 発明者 大和 朝日
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 柳 俊洋
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

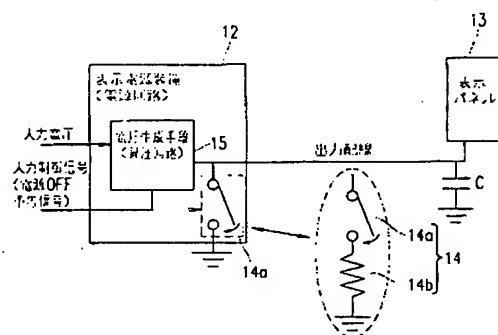
(54) 【発明の名称】 表示用電源装置および画像表示装置

(57) 【要約】

【課題】 電源オフ後の残像およびラッチアップの防止を図るとともに、駆動時の低消費電力化が実現できる。

【解決手段】 入力電圧に基づいて所定の出力電圧を生成する電圧生成手段である昇圧回路15と、スイッチング機能を有する能動素子であるFET-SW14aとを具備しており、能動素子であるFET-SW14aが電源回路12の出力端子とGND（アース）との間に接続され、能動素子であるFET-SW14aおよび昇圧回路15が入力制御信号である電源オフ予告信号に基づいて、能動素子であるFET-SW14aがオン制御されるとともに、昇圧回路15による出力を停止するように制御を行う。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

一または複数の所定の出力電圧を出力または出力停止制御可能とする電圧生成手段と、該所定の出力電圧の出力端と所定の基準電位端間に設けられ、該電圧生成手段の停止制御時にオフからオンに制御するスイッチ手段とを有する表示用電源装置。

【請求項 2】

入力制御信号に基づいて、前記電圧生成手段の出力または出力停止制御が為され、前記スイッチ手段のオンオフ制御が為される請求項 1 記載の表示用電源装置。

【請求項 3】

前記スイッチ手段と基準電位端または／および前記出力端との間に抵抗素子が設けられている請求項 1 または 2 記載の表示用電源装置。 10

【請求項 4】

請求項 1～3 の何れかに記載の表示用電源装置と、表示信号を出力する表示コントローラと、該表示信号および前記出力電圧によって画像表示を行う表示部とを有する画像表示装置。

【請求項 5】

前記表示部は、複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置されて構成された請求 4 記載の画像表示装置。 20

【請求項 6】

前記表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して 0 (V) または所定の電圧値である絵素印加電圧を 1 水平期間以上印加してマスク書き込みを行った後に前記入力制御信号を前記表示用電源装置に出力して該表示用電源装置からの電源供給を停止させる前記請求項 4 または 5 記載の画像表示装置。

【請求項 7】

表示信号を出力する表示コントローラと、該表示信号によって画像表示を行う複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置された表示部とを有し、該表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して 0 (V) または所定の電圧値である絵素印加電圧を 1 水平期間以上印加してマスク書き込みを行った後に該表示部に対して電源供給を停止制御する画像表示装置。 30

【請求項 8】

前記マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧は、ノーマリー状態の電圧である請求項 6 または 7 記載の画像表示装置。

【請求項 9】

前記マスク書き込み時に、各絵素部の絵素電極であるソース電極および対向電極であるコモン電極のそれぞれの印加電圧を同一にする請求項 6～8 の何れかに記載の画像表示装置。 40

【請求項 10】

前記マスク書き込み後で前記電源供給の停止前に、前記ソース電極およびコモン電極がアース電位に接地されると共に、前記ゲートライン上の一部または全てのゲート電極にハイレベル電圧が一定期間印加される請求項 6～9 の何れかに記載の画像表示装置。

【請求項 11】

前記所定の出力電圧は、ゲートロー電圧と、ゲートハイ電圧と、ソース／コモン基準電圧と、該ゲートロー電圧およびゲートハイ電圧と、該ソース／コモン基準電圧およびゲートロー電圧およびゲートハイ電圧のうち何れかである請求項 5 または 7 記載の画像表示装置。 50

【請求項 12】

前記所定の基準電位端はアース接続端であり、前記所定の出力電圧が、アース電圧よりも

低いゲートロー電圧および、アース電圧よりも高いゲートハイ電圧を含む場合に、該ゲートロー電圧の出力端に接続された第1スイッチ手段と、該ゲートハイ電圧の出力端に接続された第2スイッチ手段とは、該第1および第2スイッチ手段のオン時に、該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される請求項5記載の画像表示装置。

【請求項13】

前記第1および第2スイッチ手段は能動素子であり、該能動素子の素子特性により該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される請求項12記載の画像表示装置。

【請求項14】

前記第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に抵抗素子が設けられている請求項12記載の画像表示装置。

【請求項15】

前記第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に設けられた第1抵抗素子と、

前記第2スイッチ手段と前記アース接続端または／および前記ゲートハイ電圧の出力端との間に設けられた第2抵抗素子とをさらに有し、

第1抵抗素子の抵抗値が第2抵抗素子の抵抗値よりも大きい請求項12記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所定の電圧を生成して各部に供給する表示用電源装置およびそれを用いた液晶表示装置などの画像表示装置に関する。

【0002】

【従来の技術】

従来、液晶表示装置には表示パネルが設けられ、表示パネル内には表示部が設けられており、表示部はマトリクス状に配置された複数の絵素部を有している。各絵素部には、TFT (Thin Film Transistor: 薄膜トランジスタ) が設けられており、それぞれの絵素部の絵素電極とコモン電極 (対向電極) との間に、表示信号が印加されて画像表示が行われる。通常、TFTは、ソース電極、ドレイン電極およびゲート電極を有するMOSFETによって形成されており、TFTのドレイン電極が絵素部の絵素電極に接続されている。また、TFTのソース電極は、表示信号が出力されるソースバスライン (ソースライン) に接続され、TFTのゲート電極は、TFT駆動電圧が出力されるゲートバスライン (ゲートライン) に接続されている。

【0003】

図8は、従来の液晶表示装置の要部構成を示すブロック図である。

【0004】

図8に示すように、液晶表示装置100は、表示コントローラとしてのディスプレイコントローラ110と、表示用電源装置としての電源回路120と、表示部130aを持つ表示パネル130とを有している。

【0005】

ディスプレイコントローラ110は、外部のシステムコントローラ200から出力されるI/O (Input/Output) 信号を受け取り、表示データ (表示信号) などの各種信号を表示パネル130に出力する。

【0006】

電源回路120は、各出力端子より表示パネル130内の各絵素部のTFTのソース電極 (絵素電極) にはソース基準電圧を出力し、絵素部のコモン電極にはコモン基準電圧を出力し、TFTのゲート電極にはゲートHigh電圧 (ゲートハイ電圧) およびゲートLow電圧 (ゲートロー電圧) を出力する。

10

20

30

40

50

【0007】

表示パネル130は、複数のゲートラインGLを駆動するゲートドライバ130bと、複数のソースラインSLを駆動するソースドライバ130cと、これらのゲートラインGLおよびソースラインSLの交差部近傍位置にマトリクス状に配置された複数の絵素部がそれぞれ、ゲートラインGLおよびソースラインSLからTFT（薄膜トランジスタ）を介して接続された表示部130aとを有し、ディスプレイコントローラ110から出力される表示データなどの各種信号、および、電源回路120から出力される前述の所定の出力電圧を受け取り、ゲートドライバ130bおよびソースドライバ130cにより表示部130aにて画像表示が行われる。

【0008】

図9は、図8の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【0009】

各絵素部には、図9に示す絵素印加電圧、コモン電圧およびソース電圧が印加される。絵素印加電圧は、ソース電圧とコモン電圧との差によって合成される電圧であり、パルス状の交流電圧となる。表示パネル130のライン毎（Nライン目；Nは自然数）の各絵素部を選択するために、所定の時間間隔でゲート電圧が印加される。

【0010】

また、表示パネル130に供給されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧は、駆動時において一定電圧である。

【0011】

図8の液晶表示装置100では、電源回路120におけるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ（OFF）状態にされた後も、図9の矢印▲1▼に示すように、表示パネル130内の各絵素部を構成する絵素部電極（および共通電極）に電荷が保持されている場合が多く、この電荷を短時間には消去することができない。このため、電源オフ時に、液晶表示装置100の表示部130aに表示されていた画像に残像が残ってしまうおそれがある。

【0012】

このような表示パネル130の表示部130aの表示画面に生じる残像を図10（a）および図10（b）を用いて説明する。図10（a）は、電源回路120のソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ（OFF）状態にされた直後の各電圧の立下りおよび立ち上がり状態のイメージ図、図10（b）は、その時の表示パネル130の表示部130aに表示される画像の残像状態を示している。

【0013】

図10（a）に示すように、表示パネル130に供給されるソース／コモン基準電圧の立下りおよび立上りが緩やかに推移するため、絵素内の電荷が十分に抜けきらず、例えば、図10（b）に示すように残像が生じる。

【0014】

また、液晶表示装置100が携帯電話器などの携帯用機器の表示部に使用される場合には電池駆動であるため低消費電力化が要求される。このため、液晶表示装置100は、低周波での駆動が必要となり、この場合、液晶表示装置100の表示パネル130内の各絵素部の表示信号による画像表示のための電荷の保持力が高くなっているために、前述の画像残りの問題がさらに顕著なものになっている。

【0015】

そこで、このような画像残りの問題を解決するために、例えば図11に示すように、不要な電荷を放電する放電回路が提案されている。

【0016】

図11の放電回路では、電源回路120内の昇圧回路140で生成されたソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧が、各出力電圧として電源回路120から表示パネル130に出力されるが、その出力端子と表示パネル130の入力端子

10

20

30

40

50

間に接続された出力配線に、GND（アース）との間に放電抵抗RおよびコンデンサCが並列に接続されている。昇圧回路140は、外部からの入力電圧に基づいて、所定のソース／コモン基準電圧、ゲートHigh電圧またはゲートLow電圧をそれぞれ生成する。

【0017】

この放電回路（放電抵抗RおよびコンデンサCの並列回路）は、電源回路120がソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ状態になるときにも、表示パネル130内の各絵素部に残留する不要な電荷をGND（アース）に放電するようになっている。これによって、表示画面上の画像残りが解消される。

【0018】

また、特許文献1には、図13に示すように、電源オフ時に表示パネルLCDに印加される電圧波が徐々に低下することによって表示異常が生じることを防ぐために、電源ラインの電圧が降下する以前に表示パネルLCDへの印加電圧を消滅させる回路200を設けた液晶駆動回路が開示されている。この液晶駆動回路は、液晶ドライバDRの電源端子AにダイオードDと電源スイッチSWとを介して直流電源DCが接続され、液晶ドライバDRの電源端子AとアースGNDとの間にコンデンサCが接続されている。電源スイッチSWが開かれて直流電源DCと液晶ドライバDRとの接続が遮断されたときに、液晶ドライバDRの電源端子AはコンデンサCからの放電により電圧降下が遅れるが、これはダイオードDにより阻止されてコンデンサCからの電流が信号端子A'には流れ込まない。このため、信号端子A'の信号電圧が電源端子Aの電圧よりも先に降下する。これにより、液晶ドライバDRの電源端子Aに接続される電源ラインの電圧が降下する以前に、表示パネルLCDへの印加電圧が0Vとなる。

【0019】

また、特許文献2には、電源スイッチをオフまたはオンするときに、画面に現れる線状の表示欠陥を抑えるために、動作電源電圧の出力を停止した後、走査パルス電圧が液晶層の実行的な表示しきい値電圧以下に立ち下がるまで、走査電極駆動回路を動作させて走査パルスの走査を継続する走査継続回路を備えた液晶表示装置が開示されている。このように、動作電源電圧を停止した後にも走査パルスを走査し続けることにより、より低下した直流電圧成分が残存し、線状の表示が現れる現象を防ぐことができる。

【0020】

【特許文献1】

特開昭61-162029号公報

【0021】

【特許文献2】

特開平6-160806号公報

【0022】

【発明が解決しようとする課題】

上記図11に示す従来の構成では、表示パネル130内の各絵素部に残留する不要な電荷をGND（アース）に、充分速く放電させるように放電抵抗Rの抵抗値を低く設定して電源の立ち下がり急峻に行おうとすると、この放電抵抗Rには駆動時に例えば0.1mA程度の電流が常時流れて、液晶表示装置100全体の消費電力が1.0mW程度増加することになり、低消費電力化が阻害される。このように、電源の立ち下がり急峻に行って表示画面上の画像残りを解消しようとする、消費電力が増加を招いてしまうという問題を有していた。また、消費電力の観点から放電抵抗Rの抵抗値を比較的高くすると、図12の矢印▲2▼に示すように、電源の立下りや立ち上がりが緩やかであるため、絵素内の電荷が充分に抜け切らず、電荷残りの問題が発生しやすい。

【0023】

また、各絵素部の放電条件によっては、ラッチアップなどによって、表示パネル130に設けられている液晶駆動用ドライバICを破壊してしまう可能性もある。このラッチアップなどに対する対策として、液晶駆動用ドライバICの出力段にダイオードを挿入する方法もあるが、これだけでは不十分であった。つまり、主電源を立ち下げるときに電圧が不

安定になってしまい、ディスプレイの駆動ドライバを破壊してしまうという問題を有していた。

【0024】

さらに、図11に示す放電回路により表示パネル130内の各絵素部に残留する不要な電荷をGND（アース）に放電させるだけでは、出力配線からの放電時にクロストークによる影響が各絵素部に現れてしまう。このクロストークの問題に対して、主電源のオフ状態（降下）を感知して、絵素部のTFTのゲート電極にHigh電圧を印加することによって、絵素電極側に残留する不要な電荷をGND（アース）に放電させていたが、図12の矢印▲3▼に示すように、この絵素電極側からの放電が電源オフ直前の表示の最終状態（表示イメージ）に依存することと、図12の矢印▲4▼に示すように電源オフによってHigh電圧期間が不定なため、絵素部からの放電期間（電荷抜き期間）を調整することができない。このため、図9の矢印▲1▼で示した部分と同様に、電荷残りが発生し易いという問題がある。

10

【0025】

即ち、図11の表示パネル130に印加される各信号電圧のタイミングチャート（図12）に示す通り、絵素部の残留電荷の放電時において、絵素印加電圧のプラス（+）側およびマイナス（-）側の立下りおよび立上がり、電源オフ直前の画像表示の最終状態に依存するとともに、TFTのゲート電極にHigh電圧を印加する期間が一定でない（High期間不定）ために、絵素部の残留電荷の放電期間を調整できず、画像残りが完全に解消できていない。つまり、表示画面において絵素電荷が均一に抜けていかず、画像残りが起こるといふ問題と、各絵素部と電源回路120の間には寄生容量が存在するので、電圧が素早く立ち下がることで表示に悪影響（クロストーク）が出てしまうという問題とを有していた。

20

【0026】

さらに、現行の携帯電話器などの小型携帯端末に使用する小型液晶ディスプレイ（小型液晶モジュール）では、出力オフ（通話待機中）時の待ち受け状態でも、主電源はオン状態であるため、ソースバスラインにアナログ電圧が印加されてしまうおそれがあり、液晶ディスプレイの信頼性が低下するという問題があった。

【0027】

また、上記特許文献1、2では電源オフ時に生じる表示異常を防ぐものの、上記で説明した各問題を解決するものではない。即ち、図14に示すように、絵素部印加電圧において放電が電源オフ直前の表示イメージに依存しており、電荷抜き期間（High期間）が不定でかつラッチアップの危険と共に電源立下りが緩やかなため、絵素部の電荷残りが発生しやすく、電源オフ後に残像が表示される。

30

【0028】

本発明は、上記従来の問題を解決するもので、駆動時の低消費電力化を実現し、電源オフ後の残像およびラッチアップを防止するとともにディスプレイの信頼性向上を図ることができる表示用電源装置およびそれを用いた画像表示装置を提供することを目的とする。

【0029】

【課題を解決するための手段】

本発明の表示用電源装置は、一または複数の所定の出力電圧を出力または出力停止制御可能とする電圧生成手段と、該所定の出力電圧の出力端と所定の基準電位端間に設けられたスイッチ手段からなり、該電圧生成手段の停止制御時にオフからオンに制御するものであり、そのことにより上記目的が達成される。また、本発明の表示用電源装置は、所定の出力電圧を生成する電圧生成手段を有する表示用電源装置において、出力電圧を出力する出力端とアース接続端との間に少なくとも能動素子が設けられ、入力制御信号に基づいて、能動素子がオン制御されると共に電圧生成手段による出力を停止制御するものであり、そのことにより上記目的が達成される。

40

【0030】

また、好ましくは、本発明の表示用電源装置において、入力制御信号に基づいて、前記電

50

圧生成手段の出力または出力停止制御が為され、前記スイッチ手段のオンオフ制御が為される。また、好ましくは、本発明の表示用電源装置におけるスイッチ手段と基準電位端または／および前記出力端との間に抵抗素子が設けられている。

【0031】

本発明の画像表示装置は、請求項1～3の何れかに記載の表示用電源装置と、表示信号を出力する表示コントローラと、該表示信号および前記出力電圧によって画像表示を行う表示部とを有するものであり、そのことにより上記目的が達成される。また、好ましくは、本発明の画像表示装置における表示部は、複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置されて構成されている。

10

【0032】

また、好ましくは、本発明の画像表示装置における表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して0（V）または所定の電圧値である絵素印加電圧を1水平期間以上印加してマスク書き込みを行った後に前記入力制御信号を前記表示用電源装置に出力して該表示用電源装置からの電源供給を停止させる。

【0033】

本発明の画像表示装置は、表示信号を出力する表示コントローラと、該表示信号によって画像表示を行う複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置された表示部とを有し、該表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して0（V）または所定の電圧値である絵素印加電圧を1水平期間以上印加してマスク書き込みを行った後に該表示部に対して電源供給を停止制御するものであり、そのことにより上記目的が達成される。

20

【0034】

また、好ましくは、本発明の画像表示装置におけるマスク書き込み時に、各絵素部に印加される所定の絵素印加電圧は、ノーマリー状態の電圧である。また、好ましくは、本発明の画像表示装置におけるマスク書き込み時に、各絵素部の絵素電極であるソース電極および対向電極であるコモン電極のそれぞれの印加電圧を同一にする。さらに、好ましくは、本発明の画像表示装置において、マスク書き込み後で前記電源供給の停止前に、前記ソース電極およびコモン電極がアース電位に接地されると共に、前記ゲートライン上の一部または全てのゲート電極にハイレベル電圧が一定期間印加される。

30

【0035】

また、好ましくは、本発明の画像表示装置における所定の出力電圧は、ゲートロー電圧と、ゲートハイ電圧と、ソース／コモン基準電圧と、該ゲートロー電圧およびゲートハイ電圧と、該ソース／コモン基準電圧およびゲートロー電圧およびゲートハイ電圧のうち何れかである。

【0036】

また、好ましくは、本発明の画像表示装置における所定の基準電位端はアース接続端であり、前記所定の出力電圧が、アース電圧よりも低いゲートロー電圧および、アース電圧よりも高いゲートハイ電圧を含む場合に、該ゲートロー電圧の出力端に接続された第1スイッチ手段と、該ゲートハイ電圧の出力端に接続された第2スイッチ手段とは、該第1および第2スイッチ手段のオン時に、該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される。また、好ましくは、本発明の画像表示装置における記第1および第2スイッチ手段は能動素子であり、該能動素子の素子特性により該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される。さらに、好ましくは、本発明の画像表示装置における第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に抵抗素子が設けられている。さらに、好ましくは、本発明の画像表示装置における第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に設けられた第1抵抗素子と、前記第2スイッチ手段と前記アース接続端または／および前記ゲートハイ電

40

50

圧の出力端との間に設けられた第2抵抗素子とをさらに有し、第1抵抗素子の抵抗値が第2抵抗素子の抵抗値よりも大きい。

【0037】

上記構成により、以下、その作用を説明する。

【0038】

本発明の表示用電源装置は、電源駆動時に、スイッチ手段としての能動素子がオフ状態であるため、基準電位端としてのアース接続端に対して定常的にリーク電流が流れないので、低消費電力化が実現される。

【0039】

また、電源オフ時には、能動素子がオン状態にて放電回路を構成するので、低消費電力を保ちながら、電源電圧を急峻に立下げることができ、絵素部に残った電荷を放電して残像発生を防ぐことができる。しかも、このとき、能動素子もしくは能動素子と直列に接続された放電抵抗は、電流抑制手段としても働くので、ラッチアップも防止され得る。

【0040】

さらに、電源オフ時には、電源出力端が接地されているので、従来のようなソースバスラインにアナログ電圧が印加されるおそれがなく、ディスプレイの信頼性向上が図れる。

【0041】

また、マスク書き込みを行う場合、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定の低電圧であれば、画像残りをより容易に解消することが可能となる。また、マスク書き込み後にゲート電圧のハイ期間制御を行えば、絵素部に残存する電荷をより充分に放電できて画像残りを解消することが可能となる。

【0042】

【発明の実施の形態】

以下、本発明の表示用電源装置を液晶表示装置に適用した場合についてその実施形態1、2および、実施形態3を図面を参照しながら説明する。

（実施形態1）

図1は、本発明の液晶表示装置の実施形態1における要部構成を示すブロック図である。

【0043】

図1において、液晶表示装置10は、表示コントローラとしてのディスプレイコントローラ11と、表示用電源装置としての電源回路12と、表示部13aを持つ表示パネル13とを有している。

【0044】

ディスプレイコントローラ11は、外部のシステムコントローラ20から出力されるI/O（Input/Output）信号、電源オフ（OFF）準備信号などを受け取り、表示データなどの各種信号を表示パネル13に出力すると共に、入力制御信号としての電源オフ（OFF）予告信号を電源回路12に出力する。

【0045】

電源回路12は、ディスプレイコントローラ11から電源オフ（OFF）予告信号などを受け取り、その電源OFF予告信号に基づいてオン状態からオフ状態になるFET-SW（FETトランジスタからなるスイッチ手段）14aと、それに直列に接続された抵抗14bとからなる放電回路14を有している。なお、ここでは抵抗14bがFET-SW14aと基準電位接続端としてのアース接続端間に設けられているが、抵抗14bはFET-SW14aと電源回路の電圧出力端間に設けられていてもよい、両方に設けられていてもよい。

【0046】

FET-SW14aおよび抵抗14bは、電源回路12の各出力端子とGND（アース端）との間に接続されている。電源回路12は、その各出力端子より表示パネル13内の各絵素部のTFTおよびコモン電極に対して、それぞれソース基準電圧およびコモン基準電圧（ソース、コモン基準電圧）を出力すると共に、ゲートラインGL毎の各TFTのゲー

10

20

30

40

50

ト電極に対して、ゲートH i g h電圧（ゲートハイ電圧）、ゲートL o w電圧（ゲートロー電圧）を出力する。

【0047】

表示パネル13は、複数のゲートラインG Lを駆動するゲートドライバ13bと、複数のソースラインS Lを駆動するソースドライバ13cと、複数のゲートラインG LとソースラインS Lとの交差部（直交部）近傍位置にマトリクス状に配置された複数の絵素部がそれぞれ、ゲートラインG LおよびソースラインS LからT F T（薄膜トランジスタ）を介して接続された表示部13aとを有し、ディスプレイコントローラ11から出力される表示データなどの各種表示用信号および、電源回路12から出力される前述の所定の出力電圧（ソース／コモン基準電圧、ゲートH i g h電圧およびゲートL o w電圧）を受け取り、ゲートドライバ13bおよびソースドライバ13cにより表示部13aにて画像表示が行われる。

10

【0048】

図2は、図1のF E T－S W 1 4 aの動作状態を示す図である。

【0049】

図2に示すように、F E T－S W 1 4 aは、ディスプレイコントローラ11からアクティブ状態（H i g hレベル）の電源O F F予告信号が入力されるとオン状態になり、電源O F F予告信号がL o wレベルになるとオフ状態となる。したがって、F E T－S W 1 4 aは、電源O F F予告信号に基づいてオン／オフ動作を行い、液晶表示装置10の駆動時にオフ状態となり、液晶表示装置10の停止時にオン状態となる。

20

【0050】

図3は、図1の電源回路12の要部構成を示す回路図である。

【0051】

図3に示すように、電源回路12は、F E T－S W 1 4 aと抵抗14bからなる放電回路14（F E T－S W 1 4 aのみで構成されていてもよいが、ここでは抵抗14bを含むものとする）と、電圧生成手段としての昇圧回路15（または降圧回路、ここでは昇圧回路で説明する）とを有している。なお、電源回路12からの出力配線とG N D（アース端）間には、F E T－S W 1 4 aと抵抗14bからなる回路14と並列に、コンデンサCも接続されている。

【0052】

F E T－S W 1 4 aと抵抗14bからなる放電回路14は、例えばドレイン端子およびソース端子がそれぞれ昇圧回路15の出力端子とG N D（アース端）との間に接続されている。F E T－S W 1 4 aのゲート端子には、入力制御信号としての電源O F F予告信号が入力されるようになっている。したがって、F E T－S W 1 4 aがオン状態またはオフ状態の場合、昇圧回路15はその反対にオフ状態またはオン状態になっている。なお、抵抗14bの抵抗値の調整により放電スピードを調整可能である。

30

【0053】

昇圧回路15は、外部からの入力電圧に基づいて、電源回路12の各出力端子にそれぞれ出力されるソース／コモン基準電圧、ゲートH i g h電圧およびゲートL o w電圧などの所定の電圧を生成する。昇圧回路15は、アクティブ状態（H i g hレベル）の電源O F F予告信号が入力されるとオフ状態となり、電源O F F予告信号がL o wレベルになるとオン状態になる。

40

【0054】

以上により、本発明の表示用電源装置としての電源回路12によって、液晶表示装置10内の表示パネル13に対する各出力電圧がオフ状態にされた後に、表示パネル13内の各絵素部のそれぞれの絵素部電極および共通電極に保持されている電荷を、F E T－S W 1 4 aを用いることで、図6に矢印▲5▼で示すように、短時間に絵素印加電圧を放電させることができ、電源オフ時の画像残りを解消することができる。残留電荷の放電時間は、F E T－S W 1 4 aのソース端子とG N D（アース）との間に設けられた抵抗14bの抵抗値によって任意の時間に調整することができるため、絵素部に残存する電荷を充分放電

50

させて電源オフ時の画像残りを解消することができる。

【0055】

この画像残りが解消する状態を図4(a)および図4(b)を用いて説明する。図4(a)は、電源回路12のソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ状態にされた直後の各電圧の立下りおよび立ち上り状態のイメージ、図4(b)は、その時の表示パネル13に表示される画像の残像を示している。

【0056】

図4(a)に示すように、表示パネル13内に供給されるソース／コモン基準電圧は立ち下がりが急峻に推移し、速やかに残留電荷が放電または充電されるため、図4(b)に示すように画像残りが全く生じない。

10

【0057】

ここで、ゲートHigh電圧およびゲートLow電圧の立下りまたは立ち上がりは、FET-SW14aを用いることによって、図6に矢印▲6▼で示すように、ゲートLow電圧の立上りを、ゲートHigh電圧の立下りに比べて少し緩やかになるように設定している。なお、これを実現するために、FET-SW14aのFET(電界効果トランジスタ)自体の電流特性(能動素子の素子特性)を利用してもよいし、そのゲートに入力される電圧値(電源OFF予告信号)を変化させてFET自体が抵抗を持つようにしてもよいし、大小の抵抗を二つ設けて二つのFETによりそれぞれを選択するように構成してもよい。ここでは、FET-SW14aの各FET自体の電流特性により急激に多量の電流が流れにくいようになっている。

20

【0058】

このようにすれば、ゲートHigh電圧またはゲートLow電圧の立下りまたは立ち上りを、FET-SW14aを用いて上記のように区別して設定することによって、液晶駆動ドライバICがラッチアップなどの異常状態になることを防止できて、液晶駆動ドライバICが保護される。

【0059】

図5(a)および図5(b)はそれぞれゲートHigh電圧およびゲートLow電圧の立下りおよび立ち上がり状態を示す図であり、図5(a)は本発明のFET-SW14aと抵抗14bを用いた場合(シーケンス有り)の図であり、図5(b)は、FET-SW14aを単純に駆動した場合(シーケンス無し)の図である。

30

【0060】

図5(b)に示すように、スイッチのFET-SW14aを単純に駆動しただけの場合(シーケンス無し)には、ゲートLow電圧の立上りを、ゲートHigh電圧の立下りに比べて少し緩やかになるように設定できないために、液晶駆動ドライバICに、ラッチアップなどによる異常状態が生じていた。

【0061】

また、本発明の電源回路12は、液晶表示装置10が駆動時には、FET-SW14aがオフ状態となっており、抵抗Rを介して流れる定常的なリーク電流を防止できるので低消費電力化を実現しながら、電源オフ時の残存電荷を充分放電して画像残りを解消することができる。

40

【0062】

図6は、図1の表示パネル13に印加される各信号電圧のタイミングチャートである。

【0063】

各絵素部には、図6に示す絵素印加電圧、コモン電圧およびソース電圧が印加される。絵素部印加電圧は、ソース電圧とコモン電圧との差によって合成される電圧であり、パルス状の交流電圧となる。表示パネル13のライン毎の各絵素部を選択するために、所定の時間間隔にてゲート電圧が印加される。

【0064】

電源回路12から表示パネル13に入力されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧は、図6に示すように駆動時において一定電圧である。

50

【0065】

以上により、液晶表示装置10は、図4に示すように、電源回路12がソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧をオフ状態にする電源OFF予告信号を受けると、FET-SW14aをオン状態にし、表示パネル13内の各絵素部のそれぞれの絵素部電極および共通電極に保持されている電荷を速やかにアース側に放電させることにより、オフ状態の表示パネル13に画像の残像を残さない。

（実施形態2）

本実施形態2では、システムコントローラ20から出力される電源OFF準備信号に基づいて、表示パネル13内の各絵素部に絵素印加電圧として0（V）または任意の一定電圧を印加する場合（マスク書き込み）である。

10

【0066】

図7は、本発明の液晶表示装置の実施形態2において、表示パネル13内の各絵素部に絵素印加電圧として0（V）または任意の一定電圧を印加する場合（マスク書き込み）に、その表示パネルに印加される各信号電圧のタイミングチャートである。なお、図15に本発明の液晶表示装置10Aの実施形態2における要部構成を示すブロック図を示し、図1と同様の作用効果を奏する部材には同一の符号を付している。

【0067】

まず、図7に示すように、システムコントローラ20Aからディスプレイコントローラ11Aに出力される電源OFF準備信号に基づいて、表示パネル13内の各絵素部に絵素印加電圧として0（V）または任意の一定電圧が印加（マスク書き込み）され、絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定電圧となる。この場合、各絵素部が保持する電荷は、ほぼ均一化され、マスク書き込みを行う時間は、例えば、1水平期間以上であれば良い。マスク書き込み時間が1水平期間未満であれば、各絵素部の液晶が応答しないおそれがある。

20

【0068】

また、マスク書き込みは、画面全体に行う必要があるため、通常駆動では1垂直期間以上の時間がかかるが、ゲート電極を全てHigh（ゲートラインを全て選択状態）にした場合には、全てのラインに一度にマスク書き込みを行うことができるため、少なくとも1水平期間であれば、充分書き込みを行うことができる。

【0069】

このようにマスク書き込み期間を設けることにより、図7に矢印▲7▼で示すように、表示パネル13における電源オフ後の絵素部の残留電荷の放電時において、絵素印加電圧のプラス（+）側およびマイナス（-）側の立下りおよび立ち上がり、電源オフ直前の画像表示の最終状態に依存しないことになる。

30

【0070】

次に、表示パネル13内の全て（または一部）のゲートラインのゲート電極にゲートHigh電圧を印加し、その間にコモン電極およびソース電極を接地する。これにより、表示パネル13の各絵素部の絵素電極およびコモン電極に保持されていた電荷が放電される。

【0071】

残留電荷の放電時間は、図7に矢印▲8▼で示すように、マスク書き込み後にゲート電極にハイレベル電圧を印加する期間を制御（デジタル制御）することによって任意の時間に調整することができるため、絵素部に残存する電荷を充分放電して画像残りを解消することができる。

40

【0072】

さらに、ディスプレイコントローラ11から出力される電源OFF予告信号に基づいて、電源回路12内の昇圧回路15がオフ状態となり、ソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧をオフ状態にし、FET-SW14aがオン状態になる。これによって、電源回路12のFET-SW14aを用いた放電プロセスが開始され、各ゲートラインの出力電圧（ゲートHigh電圧）は、GND（アース）電位に降下する。したがって、携帯電話器などにおける出力オフ（通話待機中）時の待ち受け状態におい

50

て、主電源がオン状態である場合でも、従来のようにソースバスラインにアナログ電圧が印加されるおそれがなく、液晶ディスプレイの信頼性の向上が図られる。

【0073】

以上のように、図7に示した電源OFF準備信号および電源OFF予告信号に基づく、表示パネル13の各絵素部における残留電荷の放電の方が電源OFF予告信号のみに基づく場合よりもさらに効果がある。

【0074】

また、図17にも示すようにゲート電源の放電および充電にシーケンスを持たせていれば、ラッチアップの危険がない。なお、シーケンスはゲートロー電源をゲートハイ電源より遅くGND電位（アース電位）まで持ってくるようにすることが最適である。また、超低消費電力を保ちながら、電源を急峻に立下げることができ、電荷残りを解消できる。 10

（実施形態3）

本実施形態3では、上記実施形態2のようにマスク書き込みおよびゲート電圧のHigh期間制御により絵素部に残存する電荷を充分放電して画像残りを解消する場合であって、上記実施形態1、2のFET-SW14aの代わりに抵抗素子（従来例の抵抗素子）を用いる場合である。なお、図16に本発明の液晶表示装置10Bの実施形態3における要部構成を示すブロック図を示し、図1と同様の作用効果を奏する部材には同一の符号を付している。

【0075】

表示コントローラとしてのディスプレイコントローラ11Bは、システムコントローラ20Bからの所定の電源オフ（OFF）準備信号に基づいて、各絵素部に対して0（V）または所定の電圧値である絵素印加電圧を1水平期間以上印加してマスク書き込みを行った後に、オフ（OFF）予告信号に基づいて、電源表示部13aに対する電源回路12Bからの電源供給を停止制御する。この場合、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定電圧である。また、上記実施形態2と同様に、マスク書き込み時に、各絵素部の絵素電極であるソース電極および対向電極であるコモン電極のそれぞれの印加電圧を同一にする。また、上記実施形態2と同様に、マスク書き込み後で電源供給の停止制御前に、ソース電極およびコモン電極が接地されると共に、全ゲートラインGL上のゲート電極にハイレベル電圧が一定期間（High期間）印加されるようになっている。 20 30

【0076】

以上により、上記実施形態2、3では、図17（上記実施形態2ではシーケンスあり、上記実施形態3ではシーケンスなし）に示すように、電荷抜き期間（High期間）をデジタル制御して任意の時間に設定できるので、絵素部の電荷残りを解消できる。この場合、マスク書き込み期間を設けているので、直前の表示イメージに依存せず、画面全体で均等に電荷の放電が行える。なお、マスクはノーマリーホワイトモードのときは白表示以下の液晶印加電圧、ノーマリーブラックモードのときは黒表示以下の液晶印加電圧で書き込むのが最適である。

【0077】

この場合、上記実施形態1、2のFET-SW14aの代わりに抵抗素子（従来例の抵抗素子）を用いるので、上記実施形態1、2のように超低消費電力を保ちながら、電源を急峻に立下げおよび立上げることができなくとも、マスク書き込み後にゲート電圧のHigh期間制御により絵素部に残存する電荷を充分放電して画像残りを解消することができるものである。このときに用いる放電または充電用の抵抗素子の抵抗値は従来例で示した抵抗素子の抵抗値と同等以上にすれば、従来例に比べて低電力化を阻害しない。 40

【0078】

なお、マスク書き込み後に電源オフする場合にも、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定の低電圧であれば、画像残りが容易に解消され得る。

【0079】

【発明の効果】

以上により、本発明によれば、少なくともスイッチ手段の能動素子が電圧出力端子とアース端との間に接続され、能動素子がオン状態、電圧出力がオフ状態になるような動作を行うことにより、電源オフ後の残像およびラッチアップの防止を図るとともに、駆動時の低消費電力化が実現できる。

【0080】

また、マスク書き込みを行う場合、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定の低電圧であれば、画像残りをより容易に解消することができる。また、マスク書き込み後にゲート電圧のハイ期間制御を行えば、絵素部に残存する電荷をより十分に放電できて画像残りを解消することができる。

10

【図面の簡単な説明】

【図1】本発明の液晶表示装置の実施形態1における要部構成を示すブロック図である。

【図2】図1のFET-SWの動作状態を示す図である。

【図3】図1の電源回路の要部構成を示す回路図である。

【図4】(a)は、図1の表示パネルに供給されるソース/コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ状態にされた直後の各電圧の立下り状態のイメージ図、(b)は、その時の表示パネルに表示される画像の残像を示す図である。

【図5】(a)は、図1のFET-SWと抵抗を用いた場合の表示パネルに供給されるソース/コモン基準電圧、ゲートHigh電圧およびゲートLow電圧の立下りおよび立ち上がり状態を示す図、(b)は、FET-SWを単純に駆動した場合の表示パネルに供給されるソース/コモン基準電圧、ゲートHigh電圧およびゲートLow電圧の立下りおよび立ち上がり状態を示す図である。

20

【図6】図1の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【図7】本発明の液晶表示装置の実施形態2において、表示パネル内の各絵素部に絵素部印加電圧として0(V)または任意の一定電圧を印加する場合（マスク書き込み）に、その表示パネルに印加される各信号電圧のタイミングチャートである。

【図8】従来の液晶表示装置の要部構成を示すブロック図である。

【図9】図8の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

30

【図10】(a)は、従来の液晶表示装置の表示パネルの各絵素部の絵素部印加電圧の立下り状態の拡大図、(b)は、その時の表示パネルに表示される画像の残像を示す図である。

【図11】従来の液晶表示装置の要部構成の別の一例を示すブロック図である。

【図12】図11の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【図13】特許文献1の要部構成を示す回路図である。

【図14】特許文献1、2の表示パネルに印加される各信号電圧を想定した場合のタイミングチャートである。

40

【図15】本発明の液晶表示装置の実施形態2における要部構成を示すブロック図である。

【図16】本発明の液晶表示装置の実施形態3における要部構成を示すブロック図である。

【図17】図15の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートの一例を用いて、図16の液晶表示装置の実施形態3の効果を説明するためのタイミングチャートである。

【符号の説明】

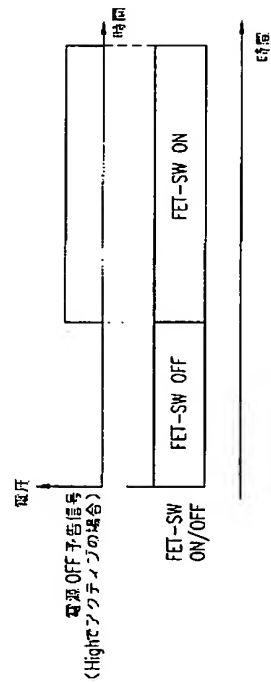
10, 10A, 10B 液晶表示装置

11, 11A, 11B ディスプレイコントローラ（表示コントローラ）

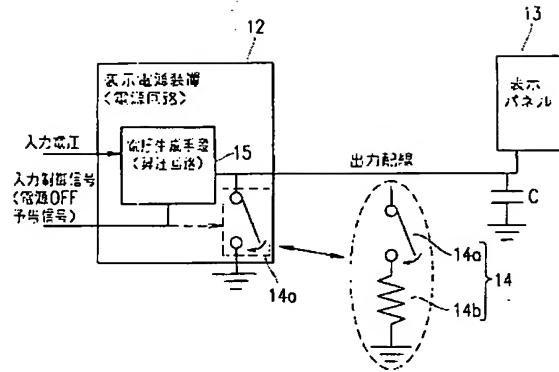
50

- | | | |
|--------|-------|----------------------|
| 1 2, | 1 2 B | 電源回路 (表示用電源装置) |
| 1 3 | | 表示パネル |
| 1 3 a | | 表示部 |
| 1 4 | | 放電回路 |
| 1 4 a | | F E T - S W (スイッチ手段) |
| 1 4 b, | 1 4 B | 抵抗 |
| 1 5 | | 昇圧回路 (電圧生成手段) |

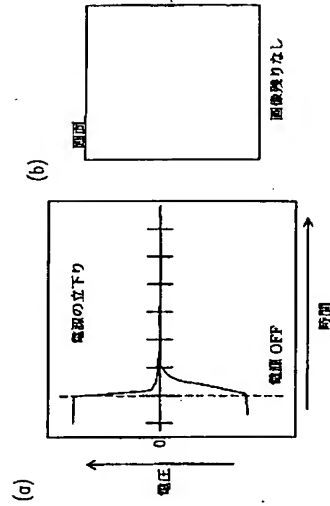
【図 2】



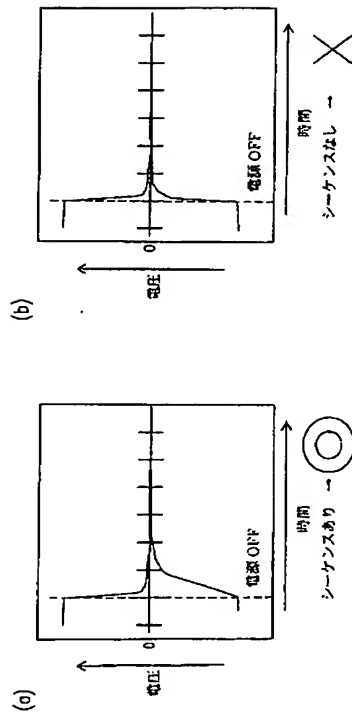
【図 3】



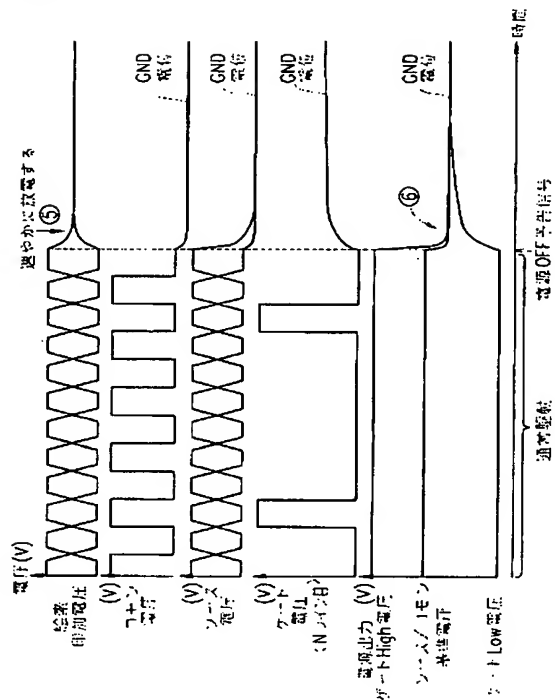
【図 4】



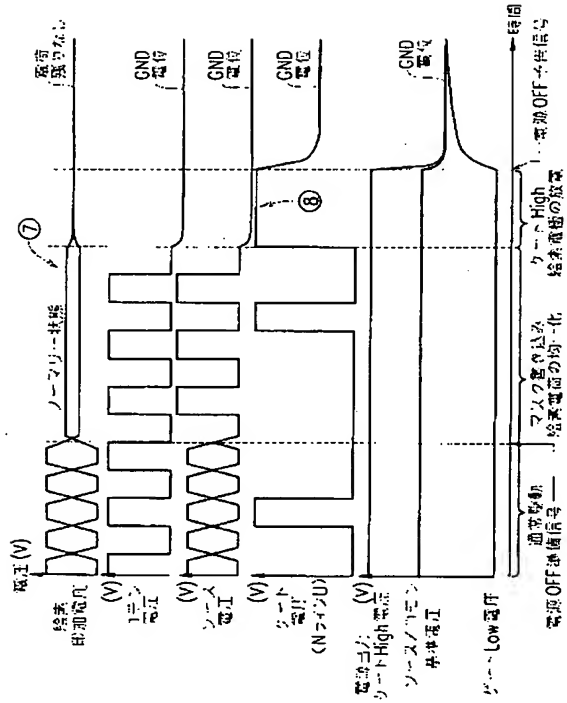
【図 5】



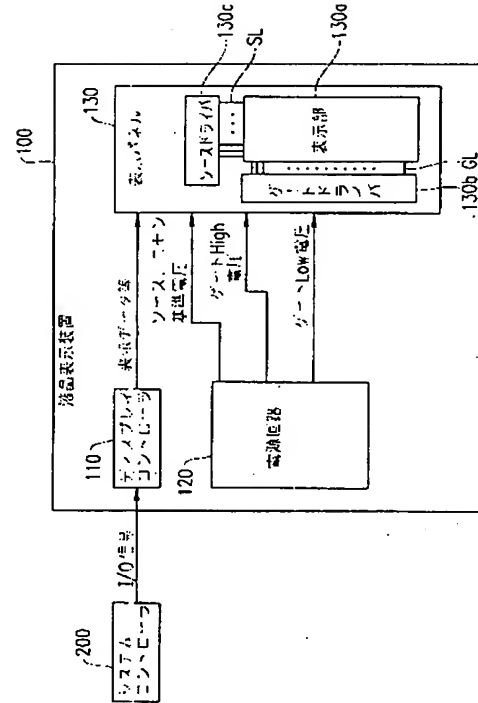
【図 6】



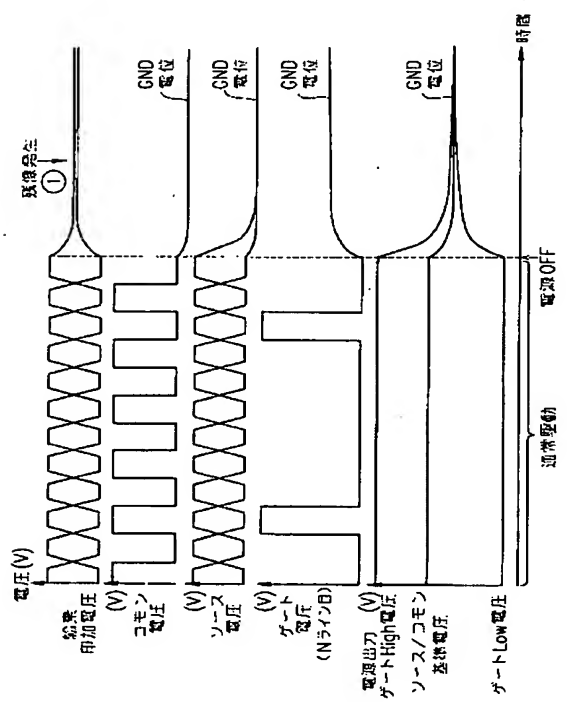
【図 7】



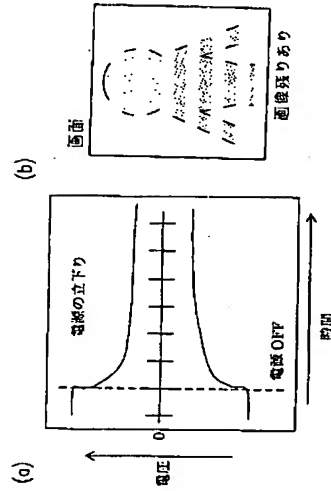
【図 8】



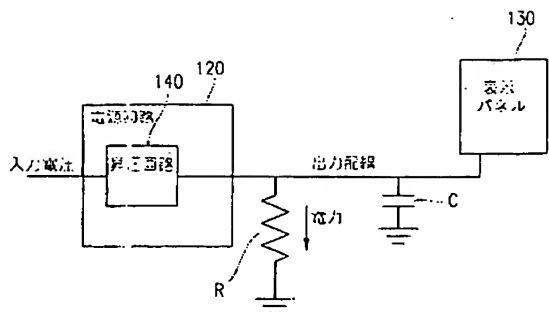
【図 9】



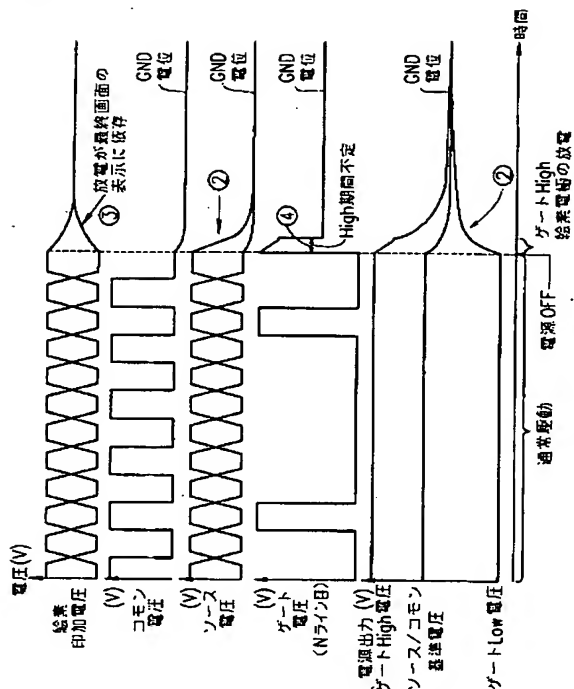
【図 10】



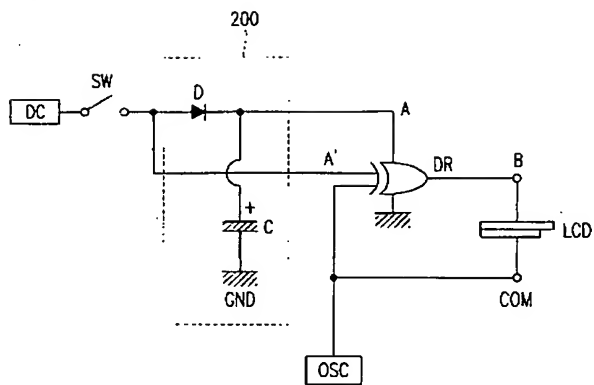
【図 1 1】



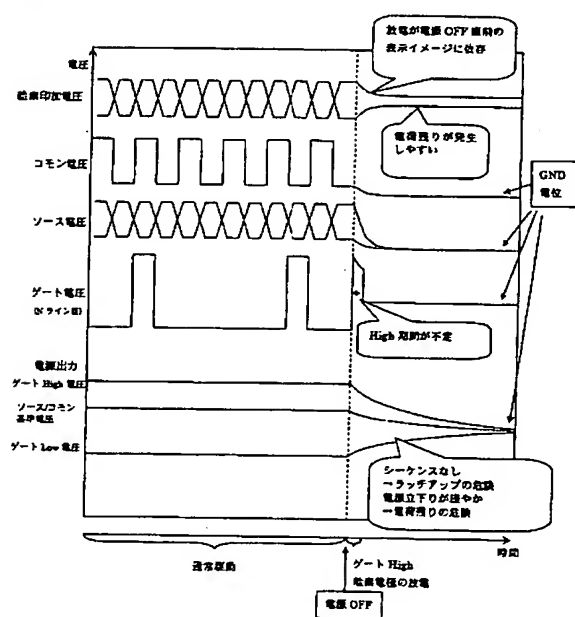
【図 1 2】



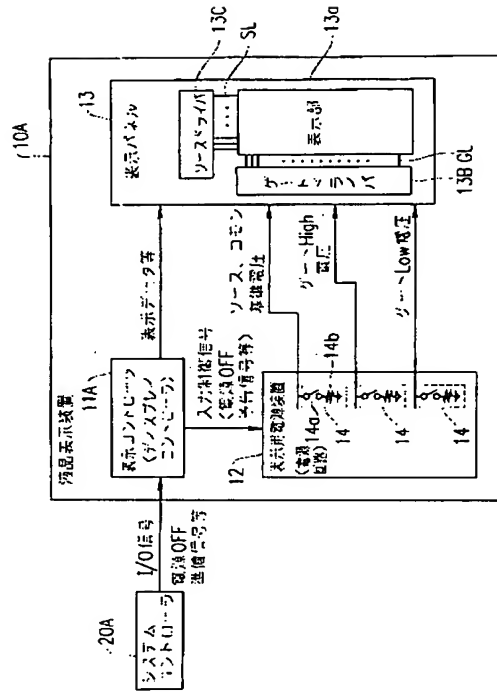
【図 1 3】



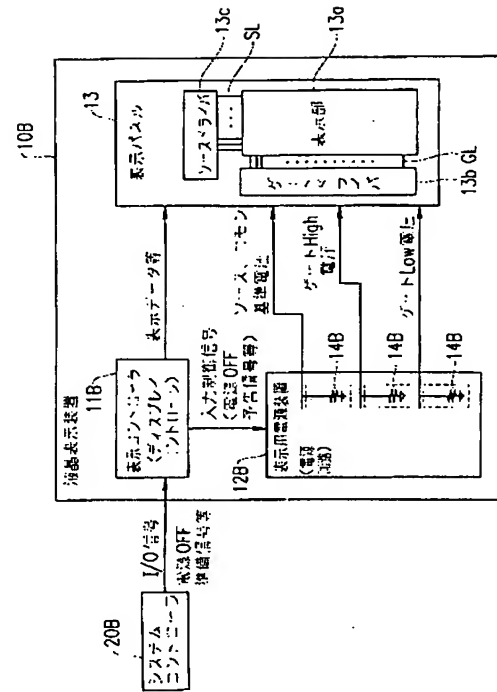
【図 1 4】



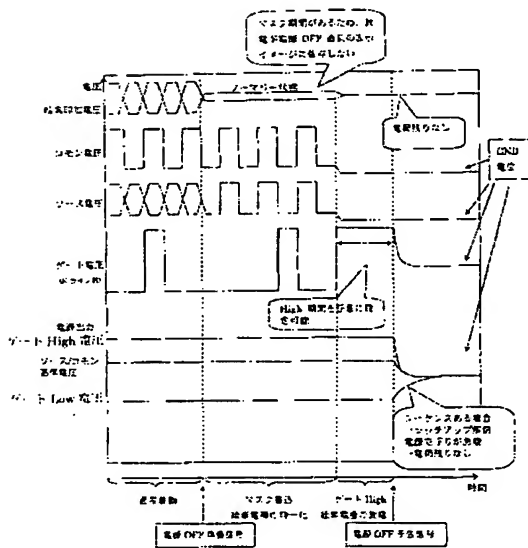
【図 15】



【図 16】



【図 17】



 フロントページの続き
(51)Int.Cl.⁷

F I

テーマコード (参考)

G O 9 G 3/20 6 7 0 D

G O 9 G 3/20 6 7 0 K

G O 9 G 5/00 5 5 0 A

F ターム(参考) 2H093 NC01 NC02 NC34 ND12 ND15 ND31 ND39
 5C006 AF51 AF53 AF61 AF67 AF68 AF69 AF71 BB16 BF43 FA22
 FA34 FA47
 5C080 AA10 BB05 DD05 DD26 DD29 FF03 FF11 JJ02 JJ03 JJ04
 JJ05
 5C082 AA01 BD02 CA76 CA81 CA85 CB01 CB10 DA81 MM03 MM10